

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-046900

(43)Date of publication of application : 14.02.1997

(51)Int.Cl.

H02J 1/00

(21)Application number : 07-192244

(71)Applicant : NEC DATA TERMINAL LTD

(22)Date of filing : 27.07.1995

(72)Inventor : IKEDA MAMORU

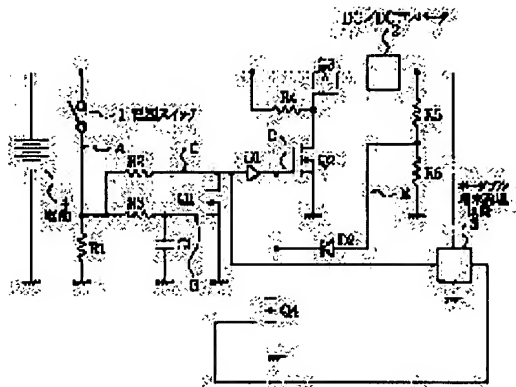
(54) POWER SUPPLY CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power supply control circuit with no power consumption during a non-operation state of a battery driving unit with respect to a portable terminal unit operated with a battery.

SOLUTION: When a power switch 1 is made, a pulse signal is fed for a given time from a pulse shaping circuit to a switching element Q2 to turn the switching elements Q2 and Q3 on.

When the output voltage from a DC/DC converter 2 is stabilized in this given time, the state of the switching element Q2 is stored by a feed-back circuit. In this way, a power controlling LSI is not used, and power fed to the controlling LSI is not necessary during the off state. The power consumption during the off-operation state is made zero, and a battery life for real operation time can be extended.



LEGAL STATUS

[Date of request for examination] 27.07.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2740474

[Date of registration] 23.01.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-46900

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 J 1/00	3 0 7	7346-5G	H 0 2 J 1/00	3 0 7 D

審査請求 有 請求項の数 2 O L (全 3 頁)

(21) 出願番号 特願平7-192244

(22) 出願日 平成7年(1995)7月27日

(71) 出願人 000232025

日本電気データ機器株式会社

東京都調布市上石原3丁目49番地1

(72) 発明者 池田 守

東京都調布市上石原三丁目四九番地一 日

本電気データ機器株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

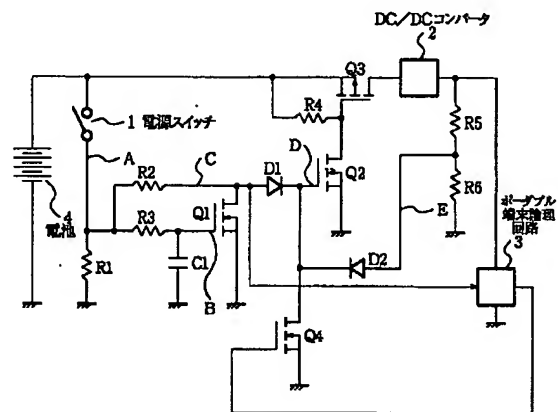
(54) 【発明の名称】 電源制御回路

(57) 【要約】

【課題】 電池により動作するポータブル端末に関し、特に電池駆動装置等の非動作時の消費電流をゼロとする電源制御回路に関する。

【解決手段】 電源スイッチ1を投入することによってパルス整形回路部により一定時間のパルスがスイッチング素子Q2に入力され、スイッチング素子Q2、Q3がオン状態となる。このパルス時間内にDC/DCコンバータ2の出力電圧が安定すると、帰還回路部によりスイッチング素子Q2の状態を保持する。

【効果】 電源制御用LSIを使用していないため、装置の電源がオフ状態の時に電源制御用のLSIに電源の供給を不要であるので、電流の消費をゼロとすることができ、電池を電源とする装置の実運用時間が延長できるという効果を有する。



【特許請求の範囲】

【請求項1】 電池により動作するポータブル端末の電源制御回路において、電源スイッチ部と、前記電源スイッチ部のチャタリングを除去するパルス整形回路部と、前記パルス整形回路部のパルス出力によってDC/DCコンバータに電源を供給するスイッチング素子と、前記DC/DCコンバータの出力を帰還させ前記スイッチング素子をラッチする帰還部とを備えて成ることを特徴とする電源制御回路。

【請求項2】 抵抗およびコンデンサによる積分回路部とスイッチング素子とから成るパルス整形回路部とを備えたことを特徴とする請求項1記載の電源制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電源制御回路に関し、特に電池駆動装置等の非動作時の消費電流をゼロとする電源制御回路に関する。

【0002】

【従来の技術】 従来の電源制御回路は、例えば特開平05-336655号公報に見るように、ポータブル端末の回路部への電源供給を制御するスイッチング素子と、そのスイッチング素子を制御する制御用LSIと、制御用LSIの各動作の基準となる基準電圧生成部とから構成されており、非動作時においても制御用LSIやラッチ回路、バッファ回路等のICに電源を供給していた。

【0003】

【発明が解決しようとする課題】 従来の電源制御回路では、電源制御用LSI等を使用して電源制御を行っているため、非電源投入時においてもこの電源制御LSIには電流を供給する必要がある。また、スイッチによる波形の割れ（チャタリング）の影響を受けないようにチャタリングをフリップ・フロップ等でマスクする必要がある。このように本体の電源がオフの状態でも電池が常時消耗され、本体の運用時間が短縮されてしまうという課題がある。

【0004】

【課題を解決するための手段】 本発明の電源制御回路は、電池により動作するポータブル端末の電源制御回路において、電源スイッチ部と、前記電源スイッチ部のチャタリングを除去するパルス整形回路部と、前記パルス整形回路部のパルス出力によってDC/DCコンバータに電源を供給するスイッチング素子と、前記DC/DCコンバータの出力を帰還させ前記スイッチング素子をラッチする帰還部とを備えて構成される。

【0005】

【発明の実施の形態】 次に本発明について図面を参照し

て説明する。図1は本発明の一実施例の回路構成を示す回路図である。

【0006】 本実施の形態において、1は電源スイッチ、2はDC/DCコンバータ、3はポータブル端末の論理回路、4は電池、R1～R6は抵抗、C1はコンデンサ、D1～D2はダイオード、Q1～Q4はFET（スイッチング素子）である。

【0007】 このスイッチング制御回路に当たっては、まず非動作において電池4から流れる電流のルートは無く、消費電流はゼロとなっている。次に電源スイッチ1を閉じることによって逆流防止用のダイオードD1に対して、積分回路の抵抗R3とコンデンサC1によりスイッチング素子Q1がオンの状態となり、一定のパルスが入力される。このパルス時間を t_{on} とする。 t_{on} 時間のパルスにてスイッチング素子Q2がオンの状態となり、さらにスイッチング素子Q3がオン状態となる。Q3がオン状態になることによりDC/DCコンバータ2に電源が供給され、DC/DCコンバータ2が動作する。 t_{on} 時間内にDC/DCコンバータ2の出力が安定すると帰還回路によりスイッチング素子Q2はオフ状態となることはなく、スイッチング素子Q3もオン状態を保ちDC/DCコンバータ2に電源を供給し続ける。

【0008】 図2は図1の回路構成図中のA、B、C、D点およびE点の波形を示しており、これに従って、本実施例の動作を説明する。電源スイッチが押されるとA点がハイレベルとなると共に、ほぼ同時にC点がハイレベルとなりスイッチング素子Q2がオン状態となる。同時に積分回路によりB点の電圧が上昇し、スイッチング素子Q1のオン電圧に達するとC点の波形はローレベルとなり、パルスが生成される。このパルス幅 t_{on} 時間内にDC/DCコンバータ2から直流電圧が出力され、E点の電圧が安定するとD点はスイッチング素子Q2のオン電圧を保つことができる。

【0009】 またこの場合には、パルス整形回路部において t_{on} 時間は、

【0010】

$$t_{on} = C1 \times R3 \times \log_e \left(\frac{1 - Q2 \text{のオン状態の電圧}}{\text{電池電圧}} \right)$$

【0011】 の式で表すことができる。電源スイッチのチャタリングに対して、スイッチを押したときに発生するものに対しては、図1のE点の波形がスイッチング素子Q2のオン電圧に達するまでの間はラッチされないため、チャタリングは無視される。そして、スイッチを離れたときに発生するチャタリングに対しては、 t_{off} 時間の間はマスクされる。また、 t_{off} 時間は、

【0012】

$$t_{off} = C1 \times (R3 + R1) \times \log_e \left(\frac{Q2 \text{のオフ状態の電圧}}{\text{電源スイッチをオフした時の電圧}} \right)$$

【0013】の式で表すことができる。

【0014】波形EはDC/DCコンバータ2の出力電圧を抵抗R5、R6で分圧しておりDC/DCコンバータ2の出力電圧が十分であるときに、スイッチング素子Q2をオン状態となる電圧に設定する。これにより、電池の残量が十分でなく、DC/DCコンバータの出力電圧が一定レベルまで達しなかったり、ポータブル端末論理回路3がショート状態等によりDC/DCコンバータの出力電圧が十分でないとき等に、スイッチング素子Q2をラッチさせずに電源をオフさせることにより、ポータブル端末論理回路3に不安定な電圧を供給することを禁じ、誤動作することを防ぐことができる。

【0015】装置の電源をオフするときは、電源スイッチを押すと図2のCのパルスがポータブル端末論理回路3に入力され、論理回路内で電源オフの処理を行った後、スイッチング素子Q4に対してハイレベルのオフ信号を出力することにより、スイッチング素子Q4がオンすることにより、スイッチング素子Q2を保持していた電圧が下がり、スイッチング素子Q2、Q3がオフするため、DC/DCコンバータ2がオフし、続いて装置の電源がオフする。

【0016】このようにすると、電源制御用LSIやフリップ・フロップを必要とせず、装置の電源がオフ状態の時は消費電流はほとんどゼロとなるため、電池を電源

とするポータブル端末において実運用時間を長くすることが可能となる。

【0017】

【発明の効果】以上説明したように本発明は積分回路によりスイッチを押している時間に関係なく、一定のパルスが出力され、そのパルス時間内に二次出力側（DC/DCコンバータの出力側）から帰還させスイッチング素子を保持させているので、電源制御用LSI等が必要なく、非動作時に消費電流をゼロにすることができ、電池の寿命が実質的に延長され、装置の実運用時間が延長されるという効果を有する。

【図面の簡単な説明】

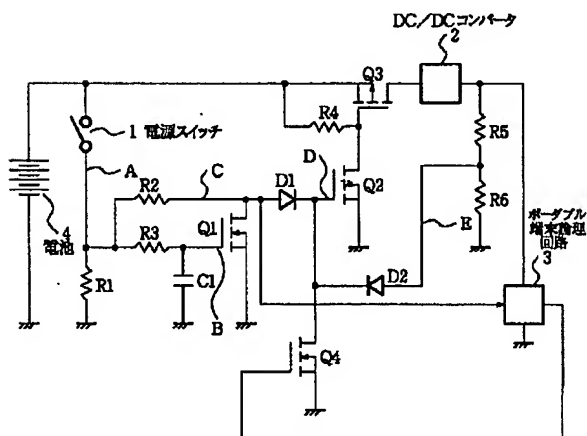
【図1】本発明の一実施例の回路構成を示す接続図

【図2】図1の接続図中の波形を示す波形図

【符号の説明】

- R1～R6 抵抗
- C1 コンデンサ
- Q1～Q4 FET（スイッチング素子）
- D1～D2 ダイオード
- 1 電源スイッチ
- 2 DC/DCコンバータ
- 3 ポータブル端末論理回路
- 4 電池

【図1】



【図2】

